

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

010828377 **Image available**

WPI Acc No: 1996-325329/199633

XRPX Acc No: N96-273842

Three terminal switching device for e.g. LCD in projector or camcorder - has pair of series n-channel transistors attached in parallel to p-channel pair with gates of latter mutually opposite transistors receiving positive feedback from capacitor which it charges at terminal output

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8146918	A	19960607	JP 94285283	A	19941118	199633 B

Priority Applications (No Type Date): JP 94285283 A 19941118

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 8146918	A		8	G09G-003/36	

Abstract (Basic): JP 8146918 A

The device has a first N channel transistor (20) and a first P channel transistor (24). The source electrodes of the first N channel and P channel transistors are considered as an input terminal (22). The drain electrodes of a second N channel transistor (21) and second P channel transistor (25) are considered as an output terminal (23).

A capacitive load (CL) is connected to the output terminal. The pulse like control signal is applied to gate electrodes (G) of the first and second transistor. The current flows between the input and output during ON period of the control signal. Thereby, the capacitive load is charged. The gate control signal of the second P channel and N channel transistor are accelerated and applied with ions from the gate control signal of the first transistors.

ADVANTAGE - Obtains sufficient drive capability. Controls potential change of transistor carried by coupling capacitor. Improves video grace by stabilizing video signal.

Dwg. 1/5

Title Terms: THREE; TERMINAL; SWITCH; DEVICE; LCD; PROJECT; CAMCORDER; PAIR ; SERIES; N; CHANNEL; TRANSISTOR; ATTACH; PARALLEL; P; CHANNEL; PAIR; GATE; LATTER; MUTUAL; OPPOSED; TRANSISTOR; RECEIVE; POSITIVE; FEEDBACK; CAPACITOR; CHARGE; TERMINAL; OUTPUT

Index Terms/Additional Words: LIQUID; CRYSTAL; DISPLAY

Derwent Class: P81; P85; U14

International Patent Class (Main): G09G-003/36

International Patent Class (Additional): G02F-001/133; G02F-001/135;

G02F-001/136; H01L-029/417

File Segment: EPI; EngPI

(51) Int. Cl. ⁶ 識別記号

F I

G09G 3/36

G02F 1/133

505

1/135

1/136

500

H01L 29/50

U

審査請求 未請求 請求項の数 6 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平6-285283

(22) 出願日 平成6年(1994)11月18日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 池田 裕幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

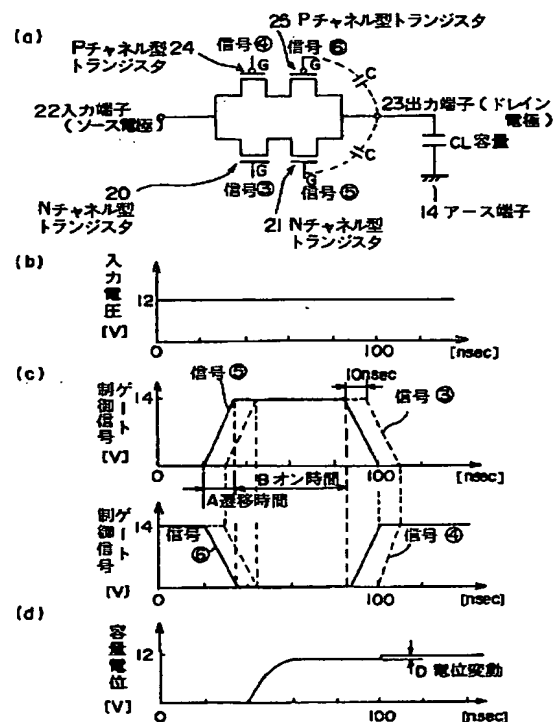
(54) 【発明の名称】 スイッチング装置及びスイッチング方法

(57) 【要約】

【目的】 充分な駆動能力を有しながら、実効的な結合容量は低減するという相反する特性を満たすスイッチング装置及びスイッチング方法を提供する。

【構成】 入力段のNチャンネル型トランジスタ20とPチャンネル型トランジスタ24のソース電極は入力端子22であり、出力段のNチャンネル型トランジスタ21とPチャンネル型トランジスタ25のドレイン電極は出力端子23であり、負荷として容量CLが接続されている。更に、各ゲート電極Gにはゲート制御信号である信号③、信号④、信号⑤、信号⑥が入力される。そして、出力段のゲート制御信号を入力段のゲート制御信号より10nsec速めて印加する。

【効果】 最出力段のトランジスタのオフ状態となるタイミングを、他より速めて印加することでトランジスタの結合容量の影響による電位変動を抑制できる。



【特許請求の範囲】

【請求項 1】 ゲート電極とソース電極とドレイン電極とを有するトランジスタであって、前記ソース電極には入力端子として入力信号が印加され、前記ドレイン電極には出力端子として容量が接続されており、前記ゲート電極にはパルス状の制御信号が印加され、前記制御信号のパルス期間以外では入出力間に電流の流れないオフ状態であり、前記制御信号のパルス期間中は入出力間に電流が流れるオン状態となり、前記容量を充電させるスイッチング装置において、

該トランジスタは複数個が直列に接続されており、且つ最出力側のトランジスタのオン状態からオフ状態になるタイミングは、他のトランジスタより速いことを特徴とするスイッチング装置。

【請求項 2】 該トランジスタは N チャンネル型と P チャンネル型の 2 種類で構成され、同一種類のトランジスタが複数個直列に接続され、且つ最入力側と最出力側で互いに並列に接続されており、少なくとも最出力側を構成する N チャンネル型トランジスタと P チャンネル型トランジスタのオン状態からオフ状態になるタイミングは、揃っていることを特徴とする請求項 1 に記載のスイッチング装置。

【請求項 3】 該トランジスタのスイッチング装置は、画素表示部と走査回路が一体的に形成された液晶表示装置に適用されることを特徴とする請求項 1 または請求項 2 に記載のスイッチング装置。

【請求項 4】 ゲート電極とソース電極とドレイン電極とを有するトランジスタであって、前記ソース電極には入力端子として入力信号が印加され、前記ドレイン電極には出力端子として容量が接続されており、前記ゲート電極にはパルス状の制御信号が印加され、前記制御信号のパルス期間以外では入出力間に電流の流れないオフ状態であり、前記制御信号のパルス期間中は入出力間に電流が流れるオン状態となり、前記容量を充電させるスイッチング方法において、

該トランジスタは複数個が直列に接続されており、且つ最出力側のトランジスタのオン状態からオフ状態になるタイミングは、他のトランジスタより速いことを特徴とするスイッチング方法。

【請求項 5】 該トランジスタは N チャンネル型と P チャンネル型の 2 種類で構成され、同一種類のトランジスタが複数個直列に接続され、且つ最入力側と最出力側で互いに並列に接続されており、少なくとも最出力側を構成する N チャンネル型トランジスタと P チャンネル型トランジスタのオン状態からオフ状態になるタイミングは、揃っていることを特徴とする請求項 4 に記載のスイッチング方法。

【請求項 6】 該トランジスタのスイッチング方法は、画素表示部と走査回路が一体的に形成された液晶表示装置に適用されることを特徴とする請求項 4 または請求項

5 に記載のスイッチング方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、各種電子装置、例えば液晶表示装置等に適用して有効なスイッチング装置及びスイッチング方法に関し、更に詳しくは、トランジスタのスイッチング特性を改善したスイッチング装置及びスイッチング方法に関するものである。

【0002】

10 【従来技術】近年、カメラ一体型 VTR や液晶プロジェクターに代表される液晶表示装置付機器の普及とともに、液晶表示装置への高性能化の要求が高まり、液晶表示装置の高精細化や高画質化が急速に進行している。この液晶表示装置は大別して画素制御用の薄膜トランジスタ (TFT:Thin Film Transistor 以下、単に「TFT」と記す) のみを基板上に形成して走査回路は周辺 IC で行うものと、画素制御用の TFT とともに走査回路を基板上に一体的に内蔵するものとに分類される。本発明のスイッチング装置及びスイッチング方法は電子装置全般に適用して好適なものであるが、ここでは、電子装置の一例として走査回路を基板上に内蔵した液晶表示装置を採り挙げて説明を行う。

【0003】従来技術の走査回路を基板上に内蔵した液晶表示装置を図 4 を参照して説明する。

【0004】図 4 は液晶パネルを中心に示したブロック図である。同図において、符号 1 は従来技術の液晶表示装置を指す。従来技術の液晶表示装置 1 は外部信号発生器 2 や、液晶パネル 3 で大略構成される。前記外部信号発生器 2 は図示を省略したが、ビデオ信号を受取って液晶パネル 3 の駆動に適合した R、G、B の交流化されたセパレート信号に変換して出力する。併せて液晶パネル 3 に必要な各種タイミング信号 ΦS 、 $\Phi 1$ 、 $\Phi 2$ 等を生

30 成して出力する。前記タイミング信号 ΦS 、 $\Phi 1$ 、 $\Phi 2$ の役割を説明するならば、 $\Phi 1$ 、 $\Phi 2$ は後述する水平走査回路の制御の用途に供するタイミングパルスであり、 ΦS は同じく水平走査回路のスタートパルスである（垂直走査回路のタイミングパルスは本発明が 1 走査期間を想定しているため省略する）。

【0005】また、液晶パネル 3 は走査方向の制御を司る垂直走査回路 4 や、水平走査回路 5 を一体的に搭載して構成される。前記水平走査回路 5 は H シフトレジスタ 6 や本発明の要点部分であるスイッチング装置 7 を備えて構成される。更に、垂直走査回路 4 や水平走査回路 5 には各画素制御用の TFT 8 がマトリクス状に配設されている。つまり、前記 TFT 8 はゲート電極やソース電極やドレイン電極で構成され、前記ゲート電極は前記垂直走査回路 4 に、例えばソース電極は信号線 9 を介して前記水平走査回路 5 にそれぞれ共通的に接続されている。

50 【0006】そして、水平走査回路 5 は外部信号発生器

2から入力されたR、G、Bのビデオ信号やタイミング信号ΦS、Φ1、Φ2を受取るとともに、水平走査回路5や垂直走査回路4に供給する。前記水平走査回路5内のHシフトレジスタ6ではスタートパルスΦSをスタート基準として作動を開始し、タイミングパルスΦ1やΦ2に応動して前記スイッチング装置7でR、G、Bのビデオ信号を取り込み、信号線9を介してTFT8に画像データを供給する。こうして各画素の画像レベルに応じて供給された電圧によって不図示の液晶分子を印加電圧方向に捩じれて起立させることにより、この液晶分子の旋光性を利用して液晶パネル3に画像表示がなされる。

【0007】次に、図5(a)～(d)を参照して従来技術のスイッチング装置の構成と動作を説明する。

【0008】図5(a)は一例として液晶パネル3におけるスイッチング装置7に適用された従来技術のスイッチング装置の等価回路例であり、(b)は入力信号として直流(DC)電圧を入力した例を示す図であり、

(c)はゲート制御信号のタイミングを示す図であり、

(d)は出力における容量電位の波形図である。

【0009】図5(a)において、従来技術のスイッチング装置はNチャネル型トランジスタ10とPチャネル型トランジスタ11を並列接続した伝送ゲートスイッチ型トランジスタで構成される。前記Nチャネル型トランジスタ10とPチャネル型トランジスタ11の交点であるソース電極は入力信号を入力する入力端子12であり、Nチャネル型トランジスタ10とPチャネル型トランジスタ11のドレイン電極は出力信号を出力する出力端子13であり、前記出力端子13には負荷として例えば信号線9でなる容量CLが接続され、前記容量CLを介してアース端子14に接続されている。また、Nチャネル型トランジスタ10とPチャネル型トランジスタ11の各ゲート電極にはゲート制御信号である信号①及び信号②を入力するゲート電極Gを備えて構成されている。

【0010】更に、前記Nチャネル型トランジスタ10とPチャネル型トランジスタ11はスイッチとしての駆動能力を揃えるために、トランジスタ有効チャネル幅100μm、チャネル長7μmとし、負荷となる容量CLは1pFとした。

【0011】そして、図5(a)の入力端子12には同図(b)に示す如き入力電圧12Vが入力される。なお、実際の入力信号は映像信号等の例えばアナログ信号であるが、ここでは簡略化のため直流電圧を入力するものとする。前記Nチャネル型トランジスタ10のゲート電極Gには例えば同図(c)に示す如きゲート制御信号①がパルスピーク値14Vで印加される。前記ゲート制御信号①は遷移時間Aは17.5nsec、オン時間Bは35nsecの制御信号であり、このようなゲート制御信号①のパルス入力に応動して入力端子12から前述

の入力信号を受取する。同じく、Pチャネル型トランジスタ11のゲート電極Gには前記ゲート制御信号②の反転位相である破線で示したゲート制御信号②を入力し、同様に前述の入力信号を取り込む。

【0012】ところで、前記Nチャネル型トランジスタ10やPチャネル型トランジスタ11の例えばゲート電極G及びドレイン電極間には結合容量Cが存在しており、前記結合容量Cは各ゲート電極Gに入力されたゲート制御信号の遮断時において容量CLの出力波形に影響を及ぼす。つまり、図5(d)に示すように、なだらかな入力波形の変化からゲート制御信号遮断時には電位変動Dを発生する。因みに、従来技術のスイッチング装置ではこの電位変動Dは11mVであるという実験結果が確認された。

【0013】

【発明が解決しようとする課題】しかし、従来技術のスイッチング装置及びスイッチング方法では、上述のようにスイッチングトランジスタのゲート電極及びドレイン電極間には結合容量が存在しておりスイッチング動作に悪影響を及ぼす場合がある。つまり、負荷容量を短時間で急速に充電しようとする(スイッチング装置の駆動能力を向上させようとする)、スイッチングトランジスタのサイズを大きくする必要がある。ところが、前記スイッチングトランジスタのサイズを大きくすると容量の充電能力は向上するが、前述のような不所望の結合容量も過大となり、スイッチング動作に不所望の電位変動を発生させていた。

【0014】また、このようなスイッチング装置を多結晶シリコンで構成するような場合には、例えばイオン拡散濃度の偏差(ばらつき)によりスイッチング特性もばらつきを発生するようになる。更に、このようなスイッチング装置で映像信号等のアナログ信号を制御しようとする場合には、映像信号の取り込みのばらつきとなり、映像が不均一に表示される等、映像の品位を低下させる要因となっていた。

【0015】本発明は以上の点を考慮してなされたもので、充分な駆動能力を有しながら、スイッチングトランジスタの実効的な結合容量は低減するという相反する特性を満たすスイッチング装置及びスイッチング方法を提供しようとするものである。

【0016】

【課題を解決するための手段】上記の課題を解決するために本発明のスイッチング装置では、ゲート電極とソース電極とドレイン電極とを有するトランジスタであり、ソース電極には入力信号が印加され、ドレイン電極には出力として容量が接続されており、ゲート電極にはパルス状のゲート制御信号が印加されており、このゲート制御信号のパルス期間以外ではオフ状態であり、このゲート制御信号のパルス期間中は入出力間に電流が流れるオン状態となって容量を充電させるスイッチング装置にお

いて、このトランジスタは複数個が直列に接続されており、且つ最出力側のトランジスタのオン状態からオフ状態になるタイミングは他のトランジスタより速く作動することとする。

【0017】同じく、本発明のスイッチング装置におけるトランジスタはNチャネル型とPチャネル型の2種類で構成され、同一種類のトランジスタが複数個直列に接続され、且つ最入力側と最出力側で互いに並列に接続された並列構成となされている。そして、少なくとも最出力側を構成するNチャネル型トランジスタとPチャネル型トランジスタの並列トランジスタがオン状態からオフ状態になるタイミングは一致させることとした。また、前述のようなトランジスタのスイッチング装置の適用される電子装置は、画素表示部と走査回路が一体的に形成された液晶表示装置であることとして前記課題を解決した。

【0018】更に、本発明のスイッチング方法では、ゲート電極とソース電極とドレイン電極とを有するトランジスタであって、ソース電極には入力信号が印加され、ドレイン電極には出力として容量が接続されており、ゲート電極にはパルス状のゲート制御信号が印加されており、このゲート制御信号のパルス期間以外ではオフ状態であり、ゲート制御信号のパルス期間中は入出力間に電流が流れるオン状態となって容量を充電させるスイッチング方法において、このトランジスタは複数個が直列に接続されており、且つ最出力側のトランジスタのオン状態からオフ状態になるタイミングは、他のトランジスタより速く作動することとした。

【0019】また、本発明のスイッチング装置におけるトランジスタはNチャネル型とPチャネル型の2種類で構成され、同一種類のトランジスタが複数個直列に接続され、且つ最入力側と最出力側で互いに並列に接続された並列構成となされている。そして、少なくとも最出力側を構成するNチャネル型トランジスタとPチャネル型トランジスタの並列トランジスタがオン状態からオフ状態になるタイミングは一致させることとした。更に、前述のようなトランジスタのスイッチング方法の適用される電子装置は、画素表示部と走査回路が一体的に形成された液晶表示装置であることとして前記課題を解決した。

【0020】

【作用】本発明のスイッチング装置では、ソース電極には入力信号が印加され、ドレイン電極には出力として容量が接続されており、ゲート電極にはパルス状のゲート制御信号が印加されており、このゲート制御信号のパルス期間以外ではオフ状態であり、ゲート制御信号のパルス期間中は入出力間に電流が流れるオン状態となって容量を充電させるスイッチング装置において、このトランジスタは複数個が直列に接続されており、且つ最出力側のトランジスタのオン状態からオフ状態になるタイミン

グは、他のトランジスタより速く作動することとした。そのため、スイッチングトランジスタの結合容量を増大させることなく、直列接続により入出力間の耐圧が向上するため、チャネル幅を短くしてスイッチング装置の駆動能力を向上することができ、出力における不所望の電位変動の発生を抑制することができる。

【0021】従って、本発明のスイッチング装置における該トランジスタはNチャネル型とPチャネル型の2種類で構成され、同一種類のトランジスタが複数個直列に接続され、且つ最入力側と最出力側で互いに並列に接続された並列構成となされている。そして、少なくとも最出力側を構成するNチャネル型トランジスタとPチャネル型トランジスタの並列トランジスタがオン状態からオフ状態になるタイミングは一致させることとした。また、前述のようなトランジスタのスイッチング装置の適用される電子装置は、画素表示部と走査回路が一体的に形成された液晶表示装置であることとしたため、スイッチング特性のばらつきによる映像信号の取り込みのばらつきの発生が抑制され、映像の品位を向上することができる。

【0022】特に、本発明のスイッチング方法では、ソース電極には入力信号が印加され、ドレイン電極には出力として容量が接続されており、ゲート電極にはパルス状のゲート制御信号が印加されており、ゲート制御信号のパルス期間以外ではオフ状態であり、ゲート制御信号のパルス期間中は入出力間に電流が流れるオン状態となって容量を充電させるスイッチング方法において、このトランジスタは複数個が直列に接続されており、且つ最出力側のトランジスタのオン状態からオフ状態になるタイミングは、他のトランジスタより速く作動することとした。そのため、スイッチングトランジスタの結合容量を増大させることなく、直列接続により入出力間の耐圧が向上するため、チャネル幅を短くしてスイッチング装置の駆動能力を向上することができ、出力における不所望の電位変動の発生を抑制することができる。

【0023】また、本発明のスイッチング装置におけるトランジスタはNチャネル型とPチャネル型の2種類で構成され、同一種類のトランジスタが複数個直列に接続され、且つ最入力側と最出力側で互いに並列に接続された並列構成となされている。そして、少なくとも最出力側を構成するNチャネル型トランジスタとPチャネル型トランジスタの並列トランジスタがオン状態からオフ状態になるタイミングは一致させることとした。また、前述のようなトランジスタのスイッチング方法の適用される電子装置は、画素表示部と走査回路が一体的に形成された液晶表示装置であることとしたため、スイッチング特性のばらつきによる映像信号の取り込みのばらつきの発生が抑制され、映像の品位を向上することができる。

【0024】

【実施例】以下、図1ないし図3を参照して本発明のス

10

20

30

40

50

イッチング装置及びスイッチング方法の実施例を説明する。なお、従来技術のスイッチング装置の構成と同一の部分には同一の参照符号を付し、それらの構成や動作の説明を省略する。

【0025】実施例1

先ず、図1を参照して本発明のスイッチング装置及びスイッチング方法の第一の実施例の詳細を説明する。

【0026】図1(a)において、本実施例のスイッチング装置はNチャンネル型トランジスタ20及び21を直列接続とし、またPチャンネル型トランジスタ24及び25を直列接続とし、更にそれらを並列接続した伝送ゲートスイッチ型で構成される。入力段のNチャンネル型トランジスタ20とPチャンネル型トランジスタ24のソース電極は入力信号を入力する入力端子22であり、出力段のNチャンネル型トランジスタ21とPチャンネル型トランジスタ25のドレイン電極は出力信号を出力する出力端子23であり、前記出力端子23には負荷として容量CLが接続され、前記容量CLを介してアース端子14に接続されている。また、Nチャンネル型トランジスタ20及び21とPチャンネル型トランジスタ24及び25の各ゲート電極Gにはゲート制御信号である信号③、信号⑤、信号④、信号⑥が各々入力される。

【0027】更に、Nチャンネル型トランジスタ20及び21とPチャンネル型トランジスタ24及び25のトランジスタサイズは同一とし、有効チャンネル幅100 μ m、チャンネル長3.5 μ mとし、負荷となる容量CLは1pFとした。

【0028】そして、図1(a)の入力端子22には同図(b)に示す如き入力電圧12Vの直流電圧が入力されたとする。Nチャンネル型トランジスタ20及び21の各ゲート電極Gには例えば同図(c)に示す如きゲート制御信号③及び信号⑤を遷移時間Aは17nsec、オン時間Bは45nsec、パルスピーク値14Vとして入力した。なお、このときゲート制御信号⑤は信号③から10nsec速めて印加するようにした。同じく、Pチャンネル型トランジスタ24及び25の各ゲート電極Gには同図(c)下段に示す如きゲート制御信号④及び信号⑥は、前記Nチャンネル型トランジスタ20及び21に印加されたゲート制御信号③及び信号⑤の反転位相の信号として印加した。また、信号⑥は信号④から10nsec速めて印加することとした。(このように出力段のゲート制御信号を入力段のゲート制御信号より10nsec速めて印加する点が本発明のポイント部分である)。なお、スイッチ・オン状態として機能するのは各ゲート制御信号の重複している時間の35nsecである。このようなゲート制御信号である信号③、信号④、信号⑤、信号⑥のパルス入力に応動して入力端子22から同図(b)に示すような入力信号を取り込む。

【0029】パルスピーク値14V、入力電圧12Vで行われた充電波形は図1(d)に示すように電位変動D

を発生する。本実施例における電位変動Dは従来技術の電位変動幅11mVに対して5mVに抑制され、本発明の電位変動を抑制する効果が確認された。

【0030】実施例2

本実施例は前記第1の実施例に対して、直列接続したNチャンネル型トランジスタのみの構成として、スイッチング装置のオン動作時間を70msecと倍にした例であり、これを図2及び図3を参照して説明する。なお、図3は本実施例と比較確認のための従来例であり、単一トランジスタでスイッチングした場合の等価回路と、ゲートパルス信号のタイミング図、そして容量電位を示した。

【0031】図2(a)において、本実施例のスイッチング装置はNチャンネル型トランジスタ30及び31を直列接続とした伝送ゲートスイッチ型トランジスタで構成される。前記Nチャンネル型トランジスタ30のソース電極は入力信号を入力する入力端子32であり、Nチャンネル型トランジスタ31のドレイン電極は出力信号を出力する出力端子33であり、前記出力端子33には負荷として容量CLが接続され、前記容量CLを介してアース端子14に接続されている。また、Nチャンネル型トランジスタ30及び31の各ゲート電極Gにはゲート制御信号である信号⑦及び信号⑧が入力される。

【0032】更に、前記Nチャンネル型トランジスタ30及び31のトランジスタサイズは実施例1と同一の、有効チャンネル幅100 μ m、チャンネル長3.5 μ mとし、負荷となる容量CLは1pFとした。

【0033】そして、図2(a)の入力端子32には実施例1と同一である入力電圧12Vの直流電圧が入力されるものとする。前記Nチャンネル型トランジスタ30及び31の各ゲート電極Gには、例えば同図(b)に示す如きゲート制御信号⑦及び⑧を遷移時間Aは17nsec、オン時間Bは実施例1の倍である70nsec、パルスピーク値14Vとして入力した。なお、このときゲート制御信号⑧は信号⑦から10nsec速めて印加するようにした。このようなゲート制御信号⑦や信号⑧のパルス入力に依動して入力端子32から実施例1と同様の入力信号を受取る。

【0034】パルスピーク値14V、入力電圧12Vで行われた充電波形は図2(c)に示すようにマイナス方向の電位変動D'を発生する。本実施例におけるこのマイナス方向の電位変動D'は-8mVであった。

【0035】ここで、本実施例の比較用として示したNチャンネル型トランジスタ一個で構成した従来例について図3を参照して説明する。

【0036】図3(a)において、本実施例の比較用として示したスイッチング装置はNチャンネル型トランジスタ40一個で構成される。前記Nチャンネル型トランジスタ40のソース電極は入力信号を入力する入力端子42であり、Nチャンネル型トランジスタ40のドレイン電極

は出力信号を出力する出力端子 4 3 であり、前記出力端子 4 3 には負荷として容量 C L が接続され、前記容量 C L を介してアース端子 1 4 に接続されている。また、N チャネル型トランジスタ 4 0 のゲート電極 G にはゲート制御信号である信号 ⑨が入力される。

【0037】更に、前記 N チャネル型トランジスタ 4 0 のトランジスタサイズは図 2 と同一の有効チャネル幅 $100\mu\text{m}$ である。一方、チャネル長は $7.0\mu\text{m}$ とし、負荷となる容量 C L は 1pF とした。

【0038】そして、図 3 (a) の入力端子 4 2 には実施例 2 と同一である入力電圧 12V の直流電圧を印加し、前記実施例 2 と同一条件で駆動した。つまり、前記 N チャネル型トランジスタ 4 0 のゲート電極 G には、例えば同図 (b) に示す如き実施例 2 と同一であるゲート制御信号 ⑨を選移時間 A は 17nsec 、オン時間 B は 70nsec 、パルスピーク値 14V として入力した。このようなゲート制御信号 ⑨のパルス入力に反応して入力端子 4 2 から図 2 と同様の入力信号を受取る。

【0039】パルスピーク値 14V 、入力電圧 12V で行われた充電波形は図 3 (c) に示したようにマイナス方向の電位変動 D' を発生する。本比較例におけるこのマイナス方向の電位変動 D' は -17mV であり、前述の図 2 の構成における -8mV と比してその電位変動の抑制効果が実証された。

【0040】本発明は前記実施例に限定されず、種々の実施形態を採ることができる。前記実施例では一例として液晶表示装置のスイッチング装置に適用した場合について説明したが、一般的な電子装置及びスイッチング装置を有する半導体集積回路装置に適用されても無論有効である。また、スイッチは単一チャネル型に限らず第 1 の実施例のような伝送ゲート型でもよく、更にトランジスタ構造もオフセットゲート型や L D D 型のいずれの場合にも応用可能なことは言うまでもない。

【0041】

【発明の効果】以上説明したように、本発明のスイッチング装置及びスイッチング方法によれば、最出力段のトランジスタのオフ状態となるタイミングを他より速めることによりトランジスタの容量結合性の影響による出力の電位変動を抑制することができる。

【0042】併せて、スイッチング装置の駆動能力を著しく向上することができ、スイッチング装置の駆動能力は、トランジスタサイズを適宜設定することによって確保することができる。また、トランジスタのソース・ドレイン間の耐圧はトランジスタを直列接続することにより維持することができる。

【0043】更に、このようなスイッチング装置及びス

スイッチング方法で映像信号等のアナログ信号を制御しようとする場合において、スイッチング特性の安定化が図られることから映像信号を安定して取り込むことができ、映像品位を向上することができる。

【図面の簡単な説明】

【図 1】本発明のスイッチング装置及びスイッチング方法の第 1 の実施例を示す図であり、(a) はスイッチ部の等価回路を示す図であり、(b) は入力信号を示す図であり、(c) はゲート制御信号のタイミング図であり、(d) は出力の容量電位の波形図である。

【図 2】本発明のスイッチング装置及びスイッチング方法の第 2 の実施例を示す図であり、(a) はスイッチ部の等価回路を示す図であり、(b) は入力信号を示す図であり、(c) はゲート制御信号のタイミング図であり、(d) は出力の容量電位の波形図である。

【図 3】本発明のスイッチング装置及びスイッチング方法の第 2 の実施例の比較用として示した従来例であり、(a) は単一トランジスタからなるスイッチ部の等価回路を示す図であり、(b) は入力信号を示す図であり、(c) はゲート制御信号のタイミング図であり、(d) は出力の容量電位の波形図である。

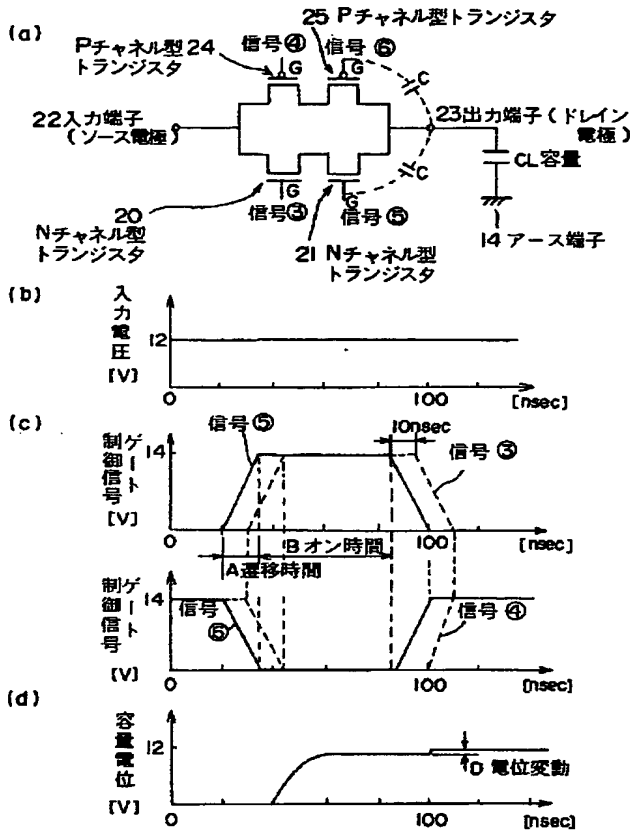
【図 4】従来技術の液晶表示装置を示すブロック図である。

【図 5】従来技術のスイッチング装置及びスイッチング方法を示す図であり、(a) はスイッチ部の等価回路を示す図であり、(b) は入力信号を示す図であり、(c) はゲート制御信号のタイミング図であり、(d) は出力の容量電位の波形図である。

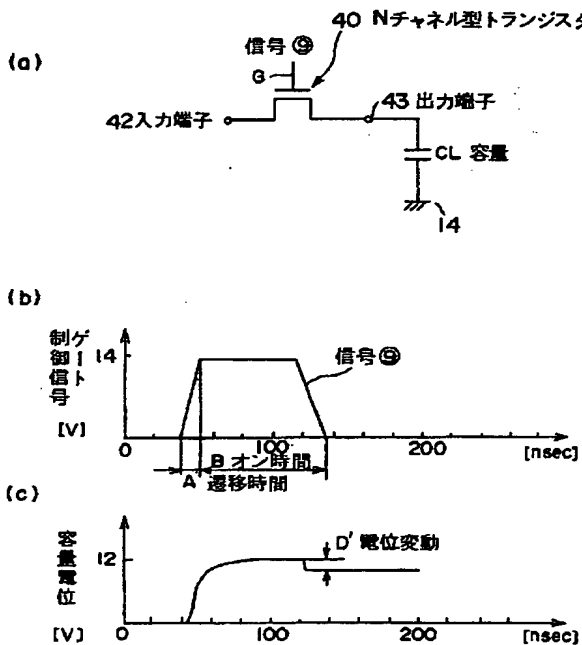
【符号の説明】

- 5 水平走査回路
- 6 Hシフトレジスタ
- 7 スwitchング装置
- 8 T F T
- 9 信号線
- 14 アース端子
- 10、20、21、 Nチャネル型トランジスタ
- 30、31、40 Nチャネル型トランジスタ
- 11、24、25、 Pチャネル型トランジスタ
- 12、22、32、42 入力端子 (ソース電極)
- 13、23、33、43 出力端子 (ドレイン電極)
- A 選移時間
- B オン時間
- C 結合容量
- C L 容量
- D、D' 電位変動
- G ゲート電極

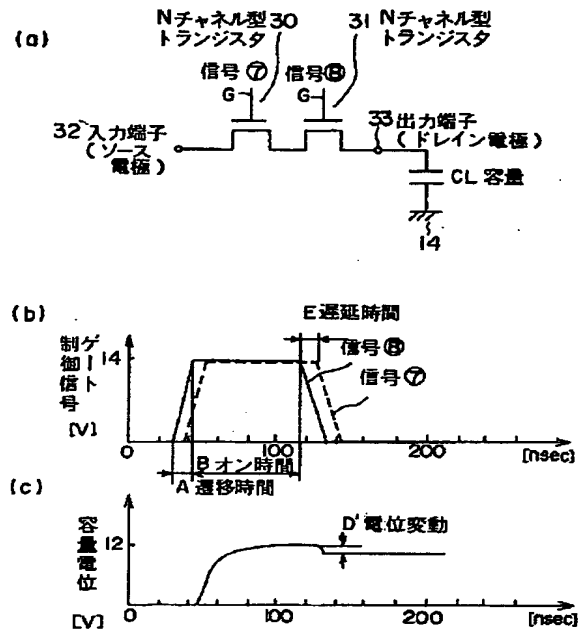
【図 1】



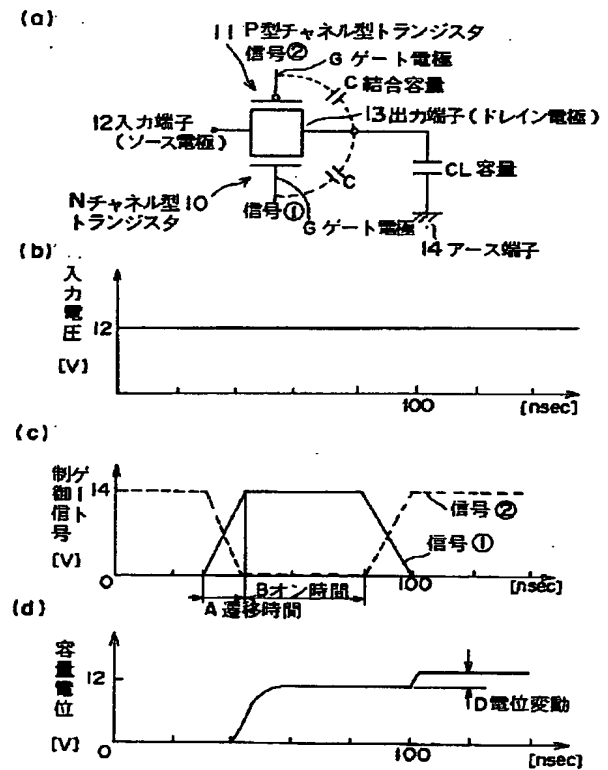
【図 3】



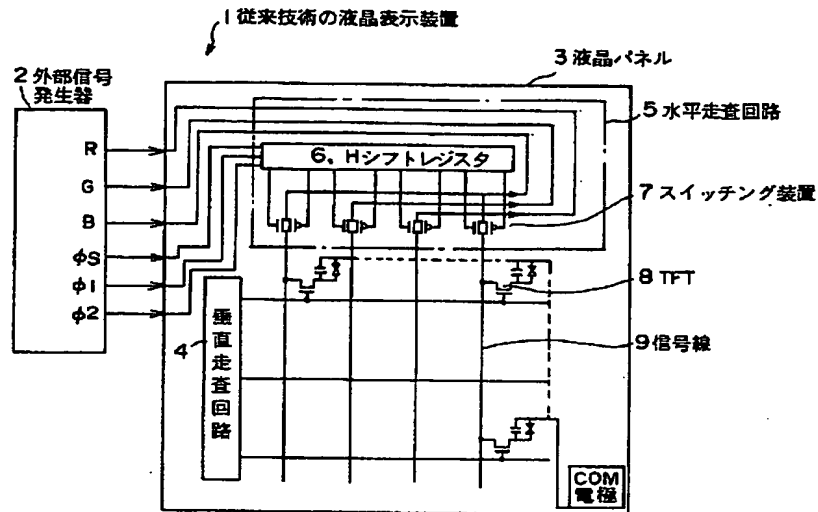
【図 2】



【図 5】



【図 4】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 29/417

識別記号

庁内整理番号

F I

技術表示箇所